

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-242590

(43)Date of publication of application : 17.09.1996

(51)Int.Cl.

H02M 7/537

H02M 1/08

(21)Application number : 07-068738

(71)Applicant : MATSUSHITA ELECTRIC WORKS LTD

(22)Date of filing : 01.03.1995

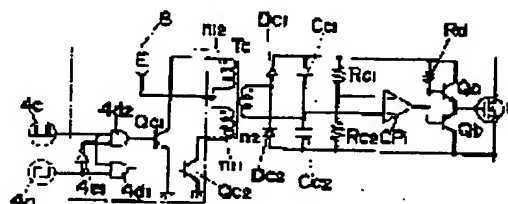
(72)Inventor : NAKAMURA TOSHIAKI

(54) DRIVE CIRCUIT FOR POWER CONVERTING APPARATUS

(57)Abstract:

PURPOSE: To miniaturize a transformer provided for insulation and reduce switching loss and stresses onto a switching element.

CONSTITUTION: High frequency output from a signal source 4c is alternately applied to respective primary windings n11 and n12 of a drive transformer Tc during on-period and off-period of a low frequency square wave output from a signals source 4a. Output of the secondary winding n2 of the drive transformer Tc is rectified by diodes Dc1 and Dc2 and charged to capacitors Cc1 and Cc2. By properly setting on-duty of a high frequency, the voltage at both the ends of the capacitors Cc1 and Cc2 is changed to high and low during on-period and off-period of a square wave from a signal source 4a. This high- and low- relation is compared with a comparator CP1 for obtaining signals for turning the switching element Q on and off.



LEGAL STATUS

[Date of request for examination] 25.01.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3417127

[Date of registration] 11.04.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-242590

(43) 公開日 平成 8 年 (1996) 9 月 17 日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 2 M 7/537 1/08		9181-5H	H 0 2 M 7/537 1/08	C A

審査請求 未請求 請求項の数 8 F D (全 16 頁)

(21) 出願番号 特願平7-68738

(22) 出願日 平成 7 年 (1995) 3 月 1 日

(71) 出願人 000005832

松下電工株式会社

大阪府門真市大字門真1048番地

(72) 発明者 中村 俊朗

大阪府門真市大字門真1048番地松下電工株式会社内

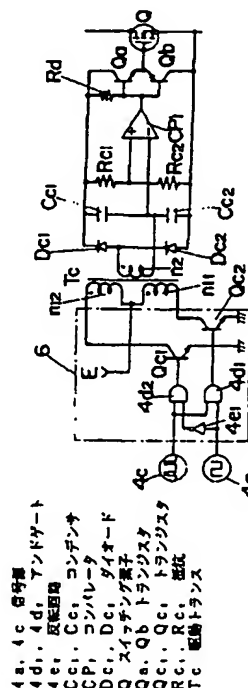
(74) 代理人 弁理士 石田 長七 (外 2 名)

(54) 【発明の名称】 電力変換装置のドライブ回路

(57) 【要約】

【目的】 絶縁用に設けたトランスを小型化し、スイッチング損失やスイッチング素子へのストレスを低減する。

【構成】 信号源 4 a より出力される低周波の矩形波のオン期間とオフ期間とに駆動トランス T c の各 1 次巻線 n 11、n 12 に対して、信号源 4 c から出力される高周波を交互に流す。駆動トランス T c の 2 次巻線 n 2 の出力はダイオード D c 1、D c 2 で整流されてコンデンサ C c 1、C c 2 に充電される。高周波のオンデューティを適宜設定することで、コンデンサ C c 1、C c 2 の両端電圧は、信号源 4 a からの矩形波のオン期間とオフ期間とで大小が入れ代わる。この大小関係をコンパレータ C P 1 で比較することによりスイッチング素子 Q をオン・オフさせる信号を得る。



【特許請求の範囲】

【請求項 1】 少なくとも 1 個のスイッチング素子を備え、スイッチング素子のオン・オフにより電源の電力を変換して出力する電力変換装置に用いられ、スイッチング素子をオン・オフさせるように制御するドライブ回路において、高周波の 2 種類の信号を所定周期で切り換えて発生させる手段と、上記各信号を電気的に絶縁して後段回路に伝達する駆動トランスと、駆動トランスの 2 次側に整流手段を介して接続された一対のコンデンサと、上記各信号に応じて各コンデンサの両端電圧の大小関係を入れ換える手段と、両コンデンサの両端電圧の大小関係の判定結果に応じて 2 値出力を発生し、この 2 値出力によりスイッチング素子を駆動する手段とを備えることを特徴とする電力変換装置のドライブ回路。

【請求項 2】 上記 2 種類の信号は異なる周波数であって、駆動トランスと各コンデンサへの充電経路にはそれぞれ各信号の周波数を共振周波数とする共振回路が挿入され、各コンデンサの両端電圧の大小関係が信号の周波数に応じて入れ換えられることを特徴とする請求項 1 記載の電力変換装置のドライブ回路。

【請求項 3】 上記 2 種類の信号は異なる周波数であって、駆動トランスと各コンデンサへの充電経路にはそれぞれ各信号の周波数の中間の周波数をカットオフ周波数とするローパスフィルタとハイパスフィルタとの一方が挿入され、各コンデンサの両端電圧の大小関係が信号の周波数に応じて入れ換えられることを特徴とする請求項 1 記載の電力変換装置のドライブ回路。

【請求項 4】 駆動トランスは 2 次巻線を複数個備え、整流手段を介して接続された一対のコンデンサと、上記各信号に応じて各コンデンサの両端電圧の大小関係を入れ換える手段と、両コンデンサの両端電圧の大小関係の判定結果に応じて 2 値出力を発生し、この 2 値出力によりスイッチング素子を駆動する手段とを備えることを特徴とする請求項 1 記載の電力変換装置のドライブ回路。

【請求項 5】 両コンデンサの両端電圧の大小関係を判定する手段の入力部に比較すべき一方の電圧を安定化するフィルタ回路を設けたことを特徴とする請求項 1 ないし請求項 4 記載の電力変換装置のドライブ回路。

【請求項 6】 両コンデンサの容量を異ならせたことを特徴とする請求項 1 ないし請求項 4 記載の電力変換装置のドライブ回路。

【請求項 7】 両コンデンサの両端電圧の大小関係を判定する手段の入力部に比較すべき一方の電圧変化を遅延させる遅延回路を挿入したことを特徴とする請求項 1 ないし請求項 4 記載の電力変換装置のドライブ回路。

【請求項 8】 少なくとも 1 個のスイッチング素子を備え、スイッチング素子のオン・オフにより電源の電力を変換して出力する電力変換装置に用いられ、スイッチング素子をオン・オフさせるように制御するドライブ回路において、高周波の 2 種類の信号を所定周期で切り換え

て発生させる手段と、上記各信号を電気的に絶縁して後段回路に伝達する駆動トランスと、駆動トランスの 2 次側に整流手段を介して接続された一対のコンデンサと、上記各信号に応じて各コンデンサの両端電圧の大小関係を入れ換える手段と、両コンデンサの両端電圧の差を閾値と比較して 2 値出力を発生し、この 2 値出力によりスイッチング素子を駆動する手段とを備えることを特徴とする電力変換装置のドライブ回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、インバータ回路のように入力に電力変換を施して出力する電力変換装置に用いられているスイッチング素子を駆動する電力変換装置のドライブ回路に関するものである。

【0002】

【従来の技術】 一般に、インバータ回路のような電力変換装置では、トランジスタや MOSFET のようなスイッチング素子を備え、スイッチング素子を制御回路からの制御信号でオン・オフさせるように構成されている。制御信号はスイッチング素子を駆動するレベルになるようにドライブ回路を通してスイッチング素子に与えられる。

【0003】 たとえば、図 27 に示す電力変換装置は、直流から交流を得るものであって、フライバック型の DC-DC コンバータを用いて直流電源 E を昇圧し（降圧の場合もある）、昇圧後の直流電圧をインバータ回路 2 により交流電圧に変換する構成になっている。DC-DC コンバータは、MOSFET のようなスイッチング素子 Q0 とトランス T0 の 1 次巻線 n1 との直列回路を直流電源 E の両端に接続し、トランス T0 の 2 次巻線 n2 の両端にダイオード D0 を介してコンデンサ C0 を接続した構成を有する。トランス T0 の 1 次巻線 n1 と 2 次巻線 n2 とは図示する極性で用いられており、スイッチング素子 Q0 のオン時にトランス T0 にエネルギーを蓄積し、スイッチング素子 Q0 のオフ時にトランス T0 から放出されるエネルギーでダイオード D0 を通してコンデンサ C0 を充電することにより、コンデンサ C0 の両端電圧を直流電源 E に対して昇圧ないし降圧した電圧とすることができるのである。スイッチング素子 Q0 は高周波の矩形波信号を出力する制御回路 3 によりオン・オフされる。

【0004】 インバータ回路 2 は、MOSFET よりなる 4 個のスイッチング素子 Q1 ~ Q4 をブリッジ接続したフルブリッジ型のものであり、各 2 個ずつのスイッチング素子 Q1、Q2 および Q3、Q4 をそれぞれ直列接続した一対の直列回路をそれぞれコンデンサ C0 の両端間に接続した構成を有する。インバータ回路 2 の出力は直列接続された 2 個のスイッチング素子 Q1、Q2 および Q3、Q4 におけるスイッチング素子 Q1 ~ Q4 同士の接続点に接続した出力端子 t1、t2 から取り出され

る。また、直列接続された 2 個のスイッチング素子 Q_1 、 Q_2 および Q_3 、 Q_4 は同時にオンにならないようにオン・オフされ、かつ一対のスイッチング素子 Q_1 、 Q_4 あるいは Q_2 、 Q_3 は同時にオンになる期間が設けられる。したがって、スイッチング素子 Q_1 、 Q_4 が同時にオンになる期間と、スイッチング素子 Q_2 、 Q_3 が同時にオンになる期間とを交互に生じさせることによって、出力端子 t_1 、 t_2 に生じる電圧の極性を交番させることができるのである。

【0005】ところで、スイッチング素子 $Q_1 \sim Q_4$ には矩形波の制御信号を出力する制御回路 4 がドライブ回路 $5_1 \sim 5_4$ を介して接続される。制御回路 4 は、矩形波を出力する信号源 4a と、信号源 4a から出力された矩形波を反転する反転回路 4b とからなり、信号源 4a からの出力周波数は、DC-DC コンバータにおけるスイッチング素子 Q_0 のスイッチング周波数よりも低く設定されている。また、スイッチング素子 Q_1 、 Q_4 のオン時にスイッチング素子 Q_2 、 Q_3 がオフになるように、スイッチング素子 Q_1 、 Q_4 は信号源 4a から出力される矩形波を制御信号として駆動され、スイッチング素子 Q_2 、 Q_3 は信号源 4a から出力される矩形波を反転回路 4b で反転した信号を制御信号として駆動される。

【0006】上記構成のインバータ回路 2 では、コンデンサ C_0 の正極側と負極側とにそれぞれスイッチング素子 $Q_1 \sim Q_4$ が接続されているものであるから、正極側と負極側とではスイッチング素子 $Q_1 \sim Q_4$ の基準電位が異なる。たとえば、スイッチング素子 Q_2 はコンデンサ C_0 の負極側を基準電位としているが、スイッチング素子 Q_1 は出力端子 t_1 、 t_2 に接続された負荷の大きさや、各スイッチング素子 $Q_1 \sim Q_4$ のオン・オフなどによって変動する。したがって、コンデンサ C_0 の正極側に接続されているスイッチング素子 Q_1 、 Q_3 に対するドライブ回路 5_1 、 5_3 では制御回路 4 とスイッチング素子 Q_1 、 Q_3 との間を絶縁する構成が必要になる。

【0007】すなわち、図 28 に示す各ドライブ回路 5_1 、 5_2 では、コンプリメンタリ接続された各一対のトランジスタ Q_{a1} 、 Q_{b1} 、 Q_{a2} 、 Q_{b2} を備え、各一対のトランジスタ Q_{a1} 、 Q_{b1} 、 Q_{a2} 、 Q_{b2} のベースを共通に接続して制御信号を入力している。また、各一対のトランジスタ Q_{a1} 、 Q_{b1} 、 Q_{a2} 、 Q_{b2} のエミッターコレクタの直列回路は直流電源 E の両端間に接続される。スイッチング素子 Q_2 に対応するドライブ回路 5_2 では、コンプリメンタリ接続したトランジスタ Q_{a2} 、 Q_{b2} のエミッタ同士の接続点に抵抗 R_2 を介してスイッチング素子 Q_2 のゲートを接続している。また、スイッチング素子 Q_1 に対応するドライブ回路 5_1 では、コンプリメンタリ接続したトランジスタ Q_{a1} 、 Q_{b1} のエミッタ同士の接続点と、直流電源 E の負極との間に駆動トランス T_a の 1 次巻線 n_1 とコンデ

ンサ C_a との直列回路を接続し、駆動トランス T_a の 2 次巻線 n_2 の一端を抵抗 R_1 を介してスイッチング素子 Q_1 のゲートに接続し、2 次巻線 n_2 の他端をスイッチング素子 Q_1 のソースに接続してある。すなわち、スイッチング素子 Q_1 は駆動トランス T_a を介して駆動トランス T_a の 1 次側と絶縁されることになる。

【0008】とくに、図 29 に示すように、図 27 の構成と同様に、直流電源 E の負極を接地側としているときに、コンデンサ C_0 の正極を接地側とするような構成を採用した場合には、すべてのドライブ回路 $5_1 \sim 5_4$ において駆動トランス T_a が必要になり一層の大型化をまねくことになる。したがって、小型化という目的のためには図 29 の構成に比較すれば、図 27 の構成を採用するほうが望ましいが、それでも十分に小型化することはできないという問題がある。

【0009】このような問題を解決するために、特開平 4-17575 号公報に記載された構成のように（図 30 参照）、制御回路 4 において低周波の矩形波を出力する信号源 4a に加えて高周波を出力する信号源 4c を付加し、低周波の制御信号でアンドゲート $4d_1 \sim 4d_4$ を通過可能にしている間に高周波をアンドゲート $4d_1 \sim 4d_4$ に通過させ、通過した高周波を駆動トランス $T_{a11} \sim T_{a14}$ に通す構成が考えられている。

【0010】図 30 に示すものは、2 個のスイッチング素子を直列接続したインバータ回 A を駆動するものであって、スイッチング素子への出力は 2 出力になっている。また、低周波の制御信号を出力する信号源 4a は 2 出力を備え、一方の出力が H レベルである期間には他方の出力が L レベルになるようにし、かつ一方の出力が H レベルである期間から他方の出力が H レベルである期間に移行する間は両出力が L レベルになるようにしてある。信号源 4a の各出力は、アンドゲート $4d_1$ 、 $4d_3$ にはそのまま入力され、アンドゲート $4d_2$ 、 $4d_4$ には反転回路 $4e_2$ 、 $4e_4$ で反転した後に入力される。ここに反転回路 $4e_2$ 、 $4e_4$ はインバータ回路のスイッチング素子のオン期間が終了するとスイッチング素子に逆バイアスがかかることでオフへの移行を速めるために設けられている。

【0011】各駆動トランス $T_{a11} \sim T_{a14}$ の 1 次巻線 n_1 はそれぞれトランジスタ $Q_{a11} \sim Q_{a14}$ との直列回路を直流電源 E の両端間に接続してある。各駆動トランス $T_{a11} \sim T_{a14}$ の 2 次巻線 n_2 は、抵抗 $R_{a11} \sim R_{a14}$ とダイオード D_{a11} 、 D_{a14} との直列回路を介してインバータ回路 2 の各スイッチング素子に接続される。インバータ回路 2 の 1 つのスイッチング素子には 2 つずつの駆動トランス T_{a11} 、 T_{a12} および T_{a13} 、 T_{a14} を対応付けているのであり、1 つのスイッチング素子に対応する 2 つの駆動トランス T_{a11} 、 T_{a12} および T_{a13} 、 T_{a14} では 1 次巻線 n_1 と 2 次巻線 n_2 とが互いに逆極性であり、1 つのスイッチング素子に対応する駆

動トランス T_{a11} 、 T_{a12} および T_{a13} 、 T_{a14} の 2 次巻線 n_2 と抵抗 R_{a11} 、 R_{a12} および R_{a13} 、 R_{a14} とダイオード D_{a11} 、 D_{a12} および D_{a13} 、 D_{a14} との直列回路は、並列に接続される。ただし、並列接続された上記直列回路のダイオード D_{a11} 、 D_{a12} および D_{a13} 、 D_{a14} は逆並列になる。

【0012】インバータ回路 2 の 1 つのスイッチング素子に対応する各一対の駆動トランス T_{a11} 、 T_{a12} および T_{a13} 、 T_{a14} の一方の 1 次巻線 n_1 には信号源 4 a の出力が反転せずに入力されるアンドゲート 4 d₁、4 d₃ の出力でオン・オフされるトランジスタ Q_{a11} 、 Q_{a13} が接続され、他方の 1 次巻線 n_1 には信号源 4 a の出力を反転回路 4 e₂、4 e₄ で反転して入力されるアンドゲート 4 d₂、4 d₄ の出力でオン・オフされるトランジスタ Q_{a12} 、 Q_{a14} が接続される。

【0013】上記構成によって、各トランジスタ $Q_{a11} \sim Q_{a14}$ をオン・オフさせる信号は、高周波信号を低周波の制御信号で変調した信号になる。また、信号源 4 a の各一方の出力が H レベルである期間には、トランジスタ Q_{a11} 、 Q_{a13} がオン・オフされることによって、トランジスタ Q_{a11} 、 Q_{a13} のオン期間にインバータ回路 2 のスイッチング素子がオンになる。一方、信号源 4 a の各一方の出力が L レベルである期間には、トランジスタ Q_{a12} 、 Q_{a14} がオン・オフされることによって、トランジスタ Q_{a12} 、 Q_{a14} のオン期間にインバータ回路 2 のスイッチング素子に逆バイアスがかかり、スイッチング素子のオフを速める。結局、図 28 に示したドライブ回路 5₁、5₂ におけるコンプリメンタリ接続したトランジスタ Q_{a1} 、 Q_{a2} と同様に、トランジスタ Q_{a11} 、 Q_{a12} および Q_{a13} 、 Q_{a14} もインバータ回路 2 のスイッチング素子に対して相補的に機能するのである。

【0014】

【発明が解決しようとする課題】図 30 に示した構成では、駆動トランス $T_{a11} \sim T_{a14}$ の 1 次側と 2 次側とで伝達される信号は高周波を低周波で断続させた信号であるから、駆動トランス $T_{a11} \sim T_{a14}$ として高周波用のものを用いることができ小型化が可能になる。しかしながら、駆動トランス $T_{a11} \sim T_{a14}$ の 2 次側に流れる電流を小さくしておかなければ、1 次側から 2 次側に放電して絶縁が保てなくなる。そこで、通常は 2 次側の直列抵抗（すなわち、抵抗 $R_{a11} \sim R_{a14}$ および駆動トランス $T_{a11} \sim T_{a14}$ の 2 次巻線 n_2 の直流抵抗）を比較的大きく設定している。ところが、2 次側の直列抵抗を大きくすると、インバータ回路 2 のスイッチング素子（MOSFET とする）のゲートソース間容量の充放電に要する時間が長くなり、スイッチング素子の立ち上がり、立ち下がりが鈍くなって、スイッチング素子のスイッチング時の損失が大きくなったり、スイッチング素子へのストレスが大きくなったりする。しかも、スイッチング素子のゲートへの出力インピーダンスが高いことに

よって、スイッチング素子の主回路側（スイッチング素子が MOSFET ならばドレイン側、トランジスタならばコレクタ側）から制御回路 4 側に流れ込む電流によってスイッチング素子が誤動作する可能性が高くなる。

【0015】本発明は上記事由に鑑みて為されたものであり、その目的は、スイッチング素子と制御側との間でトランスによる絶縁を必要とする場合に、トランスを小型化し、スイッチング素子を制御する信号の立ち上がりや立ち下がり急峻にしてスイッチング損失やスイッチング素子へのストレスを低減し、さらに、出力インピーダンスを低減することにより誤動作の生じにくい電力変換装置のドライブ回路を提供することにある。

【0016】

【課題を解決するための手段】請求項 1 の発明は、少なくとも 1 個のスイッチング素子を備え、スイッチング素子のオン・オフにより電源の電力を変換して出力する電力変換装置に用いられ、スイッチング素子をオン・オフさせるように制御するドライブ回路において、高周波の 2 種類の信号を所定周期で切り換えて発生させる手段と、上記各信号を電氣的に絶縁して後段回路に伝達する駆動トランスと、駆動トランスの 2 次側に整流手段を介して接続された一対のコンデンサと、上記各信号に応じて各コンデンサの両端電圧の大小関係を入れ換える手段と、両コンデンサの両端電圧の大小関係の判定結果に応じて 2 値出力を発生し、この 2 値出力によりスイッチング素子を駆動する手段とを備えることを特徴とする。

【0017】請求項 2 の発明は、上記 2 種類の信号は異なる周波数であって、駆動トランスと各コンデンサへの充電経路にはそれぞれ各信号の周波数を共振周波数とする共振回路が挿入され、各コンデンサの両端電圧の大小関係が信号の周波数に応じて入れ換えられることを特徴とする。請求項 3 の発明は、上記 2 種類の信号は異なる周波数であって、駆動トランスと各コンデンサへの充電経路にはそれぞれ各信号の周波数の中間の周波数をカットオフ周波数とするローパスフィルタとハイパスフィルタとの一方が挿入され、各コンデンサの両端電圧の大小関係が信号の周波数に応じて入れ換えられることを特徴とする。

【0018】請求項 4 の発明は、駆動トランスは 2 次巻線を複数個備え、整流手段を介して接続された一対のコンデンサと、上記各信号に応じて各コンデンサの両端電圧の大小関係を入れ換える手段と、両コンデンサの両端電圧の大小関係の判定結果に応じて 2 値出力を発生し、この 2 値出力によりスイッチング素子を駆動する手段とを備えることを特徴とする。

【0019】請求項 5 の発明は、両コンデンサの両端電圧の大小関係を判定する手段の入力部に比較すべき一方の電圧を安定化するフィルタ回路を設けたことを特徴とする。請求項 6 の発明は、両コンデンサの容量を異ならせたことを特徴とする。請求項 7 の発明は、両コンデ

ンサの両端電圧の大小関係を判定する手段の入力部に比較すべき一方の電圧変化を遅延させる遅延回路を挿入したことを特徴とする。

【0020】請求項8の発明は、少なくとも1個のスイッチング素子を備え、スイッチング素子のオン・オフにより電源の電力を変換して出力する電力変換装置に用いられ、スイッチング素子をオン・オフさせるように制御するドライブ回路において、高周波の2種類の信号を所定周期で切り換えて発生させる手段と、上記各信号を電氣的に絶縁して後段回路に伝達する駆動トランスと、駆動トランスの2次側に整流手段を介して接続された一对のコンデンサと、上記各信号に応じて各コンデンサの両端電圧の大小関係を入れ換える手段と、両コンデンサの両端電圧の差を閾値と比較して2値出力を発生し、この2値出力によりスイッチング素子を駆動する手段とを備えることを特徴とする。

【0021】

【作用】請求項1ないし請求項4の発明の構成によれば、高周波の2種類の信号を駆動トランスを通すことによって信号側とスイッチング素子との絶縁を行ない、かつトランスでは高周波を伝達することによって小型のものを用いることができる。また、2種類の信号により一对のコンデンサの両端電圧の大小関係を入れ換えるように充電し、この大小関係に基づく2値信号を発生させるから、スイッチング素子をオン・オフさせることができる。しかも、従来構成のように、トランスの2次巻線に抵抗を介してスイッチング素子を接続するのではなく、2値信号を発生させてスイッチング素子を駆動することにより、スイッチング素子を制御する信号の立ち上がりや立ち下がり急峻にすることができ、スイッチング損失やスイッチング素子へのストレスを低減することができる。しかも、スイッチング素子に対する出力インピーダンスは回路構成として適宜設定できるから、スイッチング素子により制御される主回路側からの回り込みを低減して誤動作の生じにくくすることができる。

【0022】請求項5ないし請求項7の発明の構成によれば、両コンデンサの両端電圧の大小関係を比較するにあたって、比較対象となる電圧の時間変化に差を付けることができ、結果的にスイッチング素子をオン・オフさせるタイミングを適宜に設定することが可能になる。すなわち、複数のスイッチング素子を用いて互いにオン・オフのタイミングをずらすことが要求される場合に、駆動トランスの1次側の信号を共通にしながらも、駆動トランスの2次側の調節のみで要求を満たすことができるのである。

【0023】請求項8の発明の構成によれば、両コンデンサの両端電圧の差を閾値と比較して2値信号を発生させるから、請求項1ないし請求項4と同様の作用を奏するとともに、コンデンサの両端電圧の差と閾値との関係を適宜設定することで、駆動トランスの2次側での調節

のみでスイッチング素子のオン・オフのタイミングを調節できることになる。

【0024】

【実施例】

（実施例1）本発明は、インバータ回路のような電力変換回路に用いるドライブ回路であって、電力変換回路に用いるスイッチング素子の個数にかかわらず同様の構成を採用することができるから、以下の説明では1個のスイッチング素子についてのドライブ回路について説明する。スイッチング素子が複数個である場合には、個数に応じて同様のドライブ回路を拡張して用いればよい。

【0025】本実施例は、図1に示すように、図30に示した従来構成と同様の制御回路4を用いている。すなわち、低周波の矩形波を出力する信号源4aと、高周波の矩形波を出力する信号源4cとを用いている。信号源4aの出力は、信号源4cの出力とともにアンドゲート4d1に入力され、また反転回路4e1で反転された後にアンドゲート4d2に入力される。また、各アンドゲート4d1、4d2の出力によってそれぞれトランジスタQc1、Qc2がオン・オフされる。ところで、本実施例で用いる駆動トランスTcはセンタタップ付きの1次巻線n11、n12を備え、1次巻線n11、n12の各一端をトランジスタQc1、Qc2のコレクタに直接接続するとともに、センタタップー各1次巻線n11、n12ー各トランジスタQc1、Qc2のコレクターエミッタの直列回路を、直流電源Eの両端間に接続してある。

【0026】一方、駆動トランスTcの2次巻線n2の一端は一对のダイオードDc1、Dc2の直列回路の接続点に接続され、他端は一对のコンデンサCc1、Cc2の直列回路の接続点に接続される。ダイオードDc1、Dc2の直列回路とコンデンサCc1、Cc2の直列回路とは並列接続され、さらに、一对の抵抗Rc1、Rc2の直列回路も並列接続される。したがって、駆動トランスTcの2次巻線n2の出力をダイオードDc1、Dc2により全波整流し、コンデンサCc1、Cc2の直列回路で平滑した電圧を抵抗Rc1、Rc2の直列回路の両端に印加していることになる。また、コンデンサCc1、Cc2の直列回路の midpoint の電位は駆動トランスTcの2次巻線n2に生じる起電力の向きに応じて変化する。ここにおいて、互いに直列接続されたダイオードDc1、Dc2、コンデンサCc1、Cc2、抵抗Rc1、Rc2にはそれぞれ仕様の等しいものを用いているものとする。

【0027】抵抗Rc1、Rc2の直列回路の接続点はコンパレータCP1の非反転入力端に接続され、コンデンサCc1、Cc2の直列回路の接続点はコンパレータCP1の反転入力端に接続される。したがって、抵抗Rc1、Rc2の直列回路の接続点の電位と、コンデンサCc1、Cc2の直列回路の接続点の電位とがコンパレータCP1によって比較される。また、コンパレータC

P₁ の出力端はコンプリメンタリ接続された一対のトランジスタ Q_a、Q_b のベースに共通に接続され、かつ抵抗 R_d によりコンデンサ C_{c1}、C_{c2} の直列回路の正極側にプルアップされている。また、両トランジスタ Q_a、Q_b のコレクタ・エミッタの直列回路はコンデンサ C_{c1}、C_{c2} の直列回路に並列接続されている。このように構成されたドライブ回路 5 に対して、インバータ回路 2 のスイッチング素子 (MOSFET) Q のゲートを両トランジスタ Q_a、Q_b のエミッタ同士の接続点に接続し、スイッチング素子 Q のソースをコンデンサ C_{c1}、C_{c2} の直列回路の負極に接続する。

【0028】次に動作について説明する。信号源 4 a は図 2 (b) に示すように所定期間で所定期間ごとに H レベルになる低周波の矩形波である制御信号を出力し、信号源 4 c は図 2 (a) に示すように高周波の矩形波を連続的に出力する。したがって、アンドゲート 4 d₁ から図 2 (c) のように制御信号の H レベルの期間に高周波が出力され、アンドゲート 4 d₂ から図 2 (d) のように制御信号の L レベルの期間に高周波が出力される。各トランジスタ Q_{c1}、Q_{c2} はそれぞれベースに接続されたアンドゲート 4 d₁、4 d₂ の出力が H レベルの期間にオンになる。

【0029】しかし、トランジスタ Q_{c1} のオン期間にはダイオード D_{c1} を通してコンデンサ C_{c1} が充電され、トランジスタ Q_{c1} がオフになると駆動トランス T_c の蓄積エネルギーによってダイオード D_{c2} を通してコンデンサ C_{c2} が充電される。ここで、コンデンサ C_{c1} の充電エネルギーに比較してコンデンサ C_{c2} の充電エネルギーが小さくなるように信号源 4 c から出力される高周波のオンデューティが設定されており、コンデンサ C_{c1} の両端電圧はコンデンサ C_{c2} の両端電圧よりも高くなるようにしてある。同様に、トランジスタ Q_{c2} についてはオン時にダイオード D_{c2} を通してコンデンサ C_{c2} が充電され、トランジスタ Q_{c2} がオフになると駆動トランス T_c の蓄積エネルギーがダイオード D_{c1} を通して放出されコンデンサ C_{c1} が充電されるようにしてある。この場合には、コンデンサ C_{c2} の両端電圧がコンデンサ C_{c1} の両端電圧よりも高くなる。つまり、制御信号が H レベルの期間にはコンデンサ C_{c1} の両端電圧がコンデンサ C_{c2} の両端電圧よりも高く、制御信号が L レベルの期間にはこの関係が逆になるのである。

【0030】コンパレータ CP₁ では抵抗 R_{c1}、R_{c2} の接続点の電位とコンデンサ C_{c1}、C_{c2} の接続点の電位とを比較する。ここで、上述したように各コンデンサ C_{c1}、C_{c2} の両端電圧は制御信号が H レベルか L レベルかに応じて変化するが、両コンデンサ C_{c1}、C_{c2} の両端電圧の加算値はほぼ一定と考えられるから、コンパレータ CP₁ の非反転入力端への印加電圧はほぼ一定になる。一方、コンパレータ CP₁ の反転入力

端への印加電圧は、制御信号が H レベルのときには低く、制御信号が L レベルのときには高くなるのであり、このことによって、コンパレータ CP₁ の出力は制御信号と同波形になる。要するに、ダイオード D_{c1}、D_{c2}、コンデンサ C_{c1}、C_{c2}、抵抗 R_{c1}、R_{c2}、コンパレータ CP₁ によって駆動トランス T_c を通過した高周波の崩落線を取り出していることになる。その後、コンプリメンタリ接続されたトランジスタ Q_a、Q_b をコンパレータ CP₁ の出力で駆動することにより、コンパレータ CP₁ の出力が H レベルの期間にはトランジスタ Q_a がオンになってスイッチング素子 Q をオンにし、コンパレータ CP₁ が L レベルの期間にはトランジスタ Q_b がオンになってスイッチング素子 Q のソース・ゲート間容量による電荷が抜かれ、スイッチング素子 Q を急速にオフにすることができる。以上の説明から明らかなように、トランジスタ Q_a、Q_b はコンデンサ C_{c1}、C_{c2} の直列回路の両端電圧を電源としており、駆動トランス T_c によって直流電源 E に対しては絶縁されている。

【0031】上述した構成によって、信号源 4 a、4 c とスイッチング素子 Q との間を絶縁し、かつ絶縁用に用いる駆動トランス T_c では高周波を伝達させることによって駆動トランス T_c に小型のものをを用いることができるようにしているのであり、しかも、スイッチング素子 Q をコンプリメンタリ接続した一対のトランジスタ Q_a、Q_b を用いて駆動しているから、スイッチング素子 Q を急速にオン・オフさせることができ、スイッチング損失が低減されるとともに、スイッチング素子 Q へのストレスが低減される。また、スイッチング素子 Q との接続部位にコンプリメンタリ接続した一対のトランジスタ Q_a、Q_b を用いていることによって、スイッチング素子 Q に対する出力インピーダンスが小さくなり、主回路 (スイッチング素子 Q のドレイン側) から電流が流入しても他に影響を及ぼすことがないのである。

【0032】(実施例 2) 本実施例は、図 3 に示すように、駆動トランス T_c として 1 次巻線 n₁ にセンタタップのないものを用い、この 1 次巻線 n₁ とトランジスタ Q_c との直列回路を直流電源 E の両端間に接続し、トランジスタ Q_c は信号源 4 a と信号源 4 c との出力をエクスクルーシブオア回路 XOR に通した信号により駆動される。つまり、信号源 4 a から図 4 (b) のような矩形波低周波の制御信号が出力され、信号源 4 c から図 4 (a) のような高周波の信号が連続的に出力されているときに、エクスクルーシブオア回路 XOR の出力は図 4 (c) のようになる。要するに、制御信号が L レベルの期間には信号源 4 c から高周波がそのまま出力され、瀬魚信号 H が H レベルの期間には信号源 4 c から高周波の L レベルの期間に H レベルになるような信号が出力される。また、駆動トランス T_c の 1 次巻線 n₁ と 2 次巻線 n₂ との極性は、トランジスタ Q_c のオン期間にコ

ンデンサ C_{c2} が充電されるように設定される。

【0033】したがって、信号源 $4c$ から出力される高周波のオン期間をオフ期間より短く設定しておけば、制御信号が H レベルの期間にはスイッチング素子 Q_c のオン期間がオフ期間よりも長くなり、逆に制御信号が L レベルの期間にはスイッチング素子 Q_c のオン期間がオフ期間よりも短くなる。しかして、スイッチング素子 Q_c のオンデューティが小さい期間（制御信号が L レベルの期間）では、コンデンサ C_2 の両端電圧がコンデンサ C_1 の両端電圧よりも高くなり、制御信号が H レベルの期間には、コンデンサ C_2 の両端電圧がコンデンサ C_1 の両端電圧よりも低くなる。つまり、コンパレータ CP_1 の出力は制御信号が L レベルの期間に L レベルになり、制御信号が H レベルの期間に H レベルになる。つまり、制御信号と同様の信号でスイッチング素子 Q を制御することができるのである。他の構成および動作は実施例 1 と同様である。

【0034】（実施例 3）上記各実施例では、駆動トランス T_c の 2 次巻線 n_1 を 1 巻線としていたが、図 5 に示すようにセンタタップ付きの 2 次巻線 n_{21} 、 n_{22} を設けてもよい。センタタップは 2 つに分轄された 2 次巻線 n_{21} 、 n_{22} の同極性の一端に共通接続される。この構成では、2 次巻線 n_{21} 、 n_{22} の出力を全波整流するためのダイオード D_{c1} 、 D_{c2} を 2 次巻線 n_{21} 、 n_{22} の各一端に接続し、センタタップはコンデンサ C_{c1} 、 C_{c2} の接続点に接続する。他の構成は実施例 1 ないし実施例 2 と同様であって、図 5 において符号 6 で示したスイッチング回路は、図 1、図 3 において同符号を付した回路に相当する。ただし、図 1 のようにセンタタップ付きの 1 次巻線 n_{11} 、 n_{12} を用いる場合には、図 5 に示した駆動トランス T_c の 1 次巻線 n_1 を図 1 の構成に置き換えるものとする。この点は、以下の各実施例でも同様である。

【0035】本実施例の構成でも、駆動トランス T_c の 2 次巻線 n_{21} からダイオード D_{c1} を通してコンデンサ C_{c1} を充電する期間と、駆動トランス T_c の 2 次巻線 n_{22} からダイオード D_{c2} を通してコンデンサ C_{c2} を充電する期間とが設けられ、両コンデンサ C_{c1} 、 C_{c2} の両端電圧に差を生じさせることができる。したがって、制御信号の H レベルと L レベルとに応じて両コンデンサ C_{c1} 、 C_{c2} の両端電圧の大小関係を逆転させれば、コンパレータ CP_1 の出力を制御信号に応じて反転させることができるのである。

【0036】（実施例 4）本実施例では、図 6 に示すように、駆動トランス T_c にセンタタップ付きの 2 次巻線 n_{21} 、 n_{22} を用い、かつ 2 つに分轄された 2 次巻線 n_{21} 、 n_{22} の異極性の一端にセンタタップを共通接続してある。したがって、2 つのダイオード D_{c1} 、 D_{c2} はいずれも駆動トランス T_c 側をアノードにしてある。

【0037】この構成では、センタタップの電位を基準

電位にとり、コンパレータ CP_1 ではコンデンサ C_{c1} 、 C_{c2} の接続点の電位と抵抗 R_{c1} 、 R_{c2} の接続点の電位とを比較するのではなく、各コンデンサ C_{c1} 、 C_{c2} と各ダイオード D_{c1} 、 D_{c2} との接続点の電位同士を比較する。つまり、制御信号が H レベルか L レベルかに応じて、センタタップから見たコンデンサ C_{c1} 、 C_{c2} の各端の電位の大小関係が逆転することを利用してコンパレータ CP_1 の出力を反転させるのである。他の構成および動作は実施例 3 と同様である。

【0038】（実施例 5）本実施例は、図 7 に示すように、2 個の駆動トランス T_{c1} 、 T_{c2} を用いたものであり、各駆動トランス T_{c1} 、 T_{c2} の 1 次巻線 n_1 と 2 次巻線 n_2 とはそれぞれ同極性の一端同士を接続してある。他の構成は実施例 3 と同様であって、実施例 3 と同様の機能する。スイッチング回路 6 に実施例 1 と同様のものを用いる場合には、センタタップ付きの 1 次巻線 n_{11} 、 n_{12} を並列接続して用いることになる。これは次の実施例 6 でも同様である。

【0039】（実施例 6）本実施例は、図 8 に示すように、2 個の駆動トランス T_{c1} 、 T_{c2} を用いたものであり、各駆動トランス T_{c1} 、 T_{c2} の 1 次巻線 n_1 は同極性の一端同士を接続し、2 次巻線 n_2 は異極性の一端同士を接続してある。他の構成は実施例 4 と同様であって、実施例 4 と同様の機能する。

【0040】（実施例 7）本実施例は、図 9 に示すように、コンデンサ C_{c1} 、 C_{c2} の直列回路にコンデンサ C_d を並列接続したものであって、コンパレータ CP_1 においてコンデンサ C_{c1} 、 C_{c2} の両端電圧と比較される電圧およびコンプリメンタリ接続されたトランジスタ Q_a 、 Q_b の直列回路への給電電圧を、コンデンサ C_d により安定化してある。他の構成および動作は実施例 1、実施例 2 と同様である。

【0041】（実施例 8）本実施例は、図 10 に示すように、実施例 3 の構成において、駆動トランス T_c の 2 次巻線 n_{21} 、 n_{22} と各ダイオード D_{c1} 、 D_{c2} との間にそれぞれコンデンサ C_{r1} 、 C_{r2} とインダクタ L_{r1} 、 L_{r2} からなる直列共振回路 7_1 、 7_2 を挿入し、各直列共振回路 7_1 、 7_2 とダイオード D_{c1} 、 D_{c2} との接続点間に抵抗 R_{r1} 、 R_{r2} の直列回路を接続した構成を有する。また、2 次巻線 n_{21} 、 n_{22} のセンタタップと、抵抗 R_{r1} 、 R_{r2} の接続点と、コンデンサ C_{c1} 、 D_{c2} の接続点とは互いに接続される。各直列共振回路 7_1 、 7_2 は異なる共振周波数に設定されている。

【0042】さらに、信号源 $4c$ は各直列共振回路 7_1 、 7_2 の共振周波数に等しい周波数の高周波を出力し、信号源 $4a$ から出力される制御信号が H レベルか L レベルかに応じて信号源 $4c$ の出力周波数が切り換えられるようにしてある。つまり、制御信号が H レベルの期間には直列共振回路 7_1 の共振周波数にほぼ等しい高周

波が駆動トランス T_c に与えられ、コンデンサ C_1 が主として充電され、制御信号が L レベルの期間には直列共振回路 7_2 の共振周波数にほぼ等しい高周波が駆動トランス T_c に与えられ、コンデンサ C_2 が主として充電される。したがって、制御信号が H レベルか L レベルかに応じて両コンデンサ C_1 、 C_2 の両端電圧の大小関係を逆転させることができ、実施例 1、実施例 2 と同様に、コンパレータ CP_1 の出力を制御信号に応じて反転させることができるのである。他の構成および動作は実施例 1、実施例 2 と同様である。

【0043】（実施例 9）本実施例は、実施例 8 と同様に、信号源 4_c として 2 種類の周波数の高周波を出力するものを用いている。ただし、直列共振回路 7_1 、 7_2 および抵抗 R_{r1} 、 R_{r2} に代えて、一方をインダクタ L_{f1} とコンデンサ C_{f1} とからなるローパスフィルタ 8_1 とし、他方をインダクタ L_{f2} とコンデンサ C_{f2} とからなるハイパスフィルタ 8_1 としてある。つまり、駆動トランス T_c の分巻された各 2 次巻線 n_{21} 、 n_{22} の出力の一方はローパスフィルタ 8_1 およびダイオード D_{c1} を通してコンデンサ C_{c1} を充電し、他方はハイパスフィルタ 8_1 およびダイオード D_{c2} を通してコンデンサ C_{c2} を充電する。ここで、ローパスフィルタ 8_1 およびハイパスフィルタ 8_2 のカットオフ周波数は等しく、そのカットオフ周波数は信号源 4_c から出力される高周波の両周波数の間に設定される。

【0044】したがって、信号源 4_a から出力される制御信号が H レベルである期間に周波数の低いほうの高周波を信号源 4_c から出力させれば、ローパスフィルタ 8_1 を通過することによってコンデンサ C_{c1} の両端電圧がコンデンサ C_{c2} の両端電圧よりも高くなり、逆に制御信号が L レベルである期間に周波数の高いほうの高周波を信号源 4_c から出力させることで、コンデンサ C_{c1} の両端電圧がコンデンサ C_{c2} の両端電圧よりも低くなるのである。他の構成および動作は実施例 3 と同様である。

【0045】（実施例 10）上記各実施例では、インバータ回路 2 のスイッチング素子 Q とコンパレータ CP_1 との間にコンプリメンタリ接続したトランジスタ Q_a 、 Q_b を介在させているが、図 12 に示すように、演算増幅器 OP_1 をコンパレータとして用いればトランジスタ Q_a 、 Q_b に相当する出力回路が内蔵されているから、トランジスタ Q_a 、 Q_b を省くことができる。上述した各実施例のいずれについても本実施例の構成に置換可能である。

【0046】（実施例 11）本実施例は、コンパレータ CP_1 としてオープンコレクタ型の出力回路を持つものを用いた例であって、図 13 に示すように、コンパレータ CP_1 の出力端にプルアップ抵抗 R_p を接続してある。したがって、スイッチング素子 Q をオンさせる際にはプルアップ抵抗 R_p を通してスイッチング素子 Q にゲ

ート電圧が印加され、スイッチング素子 Q をオフにする際にはコンパレータ CP_1 に内蔵されたスイッチング素子がオンになってゲートの残留電荷を抜くのである。実施例 1 ないし実施例 9 のいずれの構成でも本実施例の構成に置換可能である。

【0047】（実施例 12）本実施例は、図 14 に示すように、実施例 11 におけるプルアップ抵抗 R_p の両端にトランジスタ Q_d のコレクターベースを接続し、トランジスタ Q_d のベース-エミッタ間にダイオード D_d を逆方向に接続した構成を有する。また、コンパレータ CP_1 の出力端はトランジスタ Q_d のベースとダイオード D_d のカソードとの接続点に接続され、トランジスタ Q_d のエミッタとダイオード D_d のアノードとの接続点をスイッチング素子 Q のゲートに接続してある。

【0048】この構成ではスイッチング素子 Q をオンにする際には、トランジスタ Q_d が導通してスイッチング素子 Q のゲートに供給する電流を実施例 11 よりも大きくすることができるから、スイッチング素子 Q のオン時間が実施例 11 よりも短縮される。他の構成および動作は実施例 11 と同様であり、実施例 1 ないし実施例 9 のいずれでも本実施例の構成に置換可能である。

【0049】（実施例 13）本実施例は、図 15 に示すように、実施例 1 ないし実施例 9 で用いているコンパレータ CP_1 に代えて、コンプリメンタリ接続した一対のトランジスタ Q_{e1} 、 Q_{e2} を用いてコンデンサ C_{c1} 、 C_{c2} の接続点と抵抗 R_{c1} 、 R_{c2} の接続点との電位の大小関係を判定する構成としてある。また、各トランジスタ Q_{e1} 、 Q_{e2} のコレクタには出力用のトランジスタ Q_{f1} 、 Q_{f2} のベースがそれぞれ接続される。トランジスタ Q_{f1} 、 Q_{f2} はコンプリメンタリなものを用いてあり、コレクタ同士をスイッチング素子 Q のゲートに共通接続している。

【0050】この構成では、コンデンサ C_{c1} 、 C_{c2} の接続点の電位と抵抗 R_{c1} 、 R_{c2} の接続点の電位との大小関係に応じてトランジスタ Q_{e1} 、 Q_{e2} の一方がオンになり、オンになったほうのトランジスタ Q_{e1} 、 Q_{e2} にベースの接続されているトランジスタ Q_{f1} 、 Q_{f2} がオンになる。したがって、実施例 1 ないし実施例 9 と同様に、制御信号が H レベルか L レベルかに応じてスイッチング素子 Q をオン・オフすることができる。

【0051】（実施例 14）本実施例は、図 16 に示すように、ツェナーダイオード ZD_1 、 ZD_2 の直列回路の両端にそれぞれ抵抗 R_{e1} 、 R_{e2} を直列接続した直列回路をコンデンサ C_{c1} 、 C_{c2} の直列回路に並列接続し、両コンデンサ C_{c1} 、 C_{c2} の接続点と両ツェナーダイオード ZD_1 、 ZD_2 の接続点とを共通接続し、さらに、ツェナーダイオード ZD_1 、 ZD_2 と各抵抗 R_{e1} 、 R_{e2} との接続点にトランジスタ Q_{f1} 、 Q_{f2} のベースを接続した構成を有する。トランジスタ Q

f_1 、 Q_{f2} は実施例 13 と同様にコンプリメンタリなものを用いている。また、両ツェナーダイオード Z_{D1} 、 Z_{D2} のブレイクオーバー電圧は等しく設定される。

【0052】この構成では、コンデンサ C_{c1} 、 C_{c2} の両端電圧をツェナーダイオード Z_{D1} 、 Z_{D2} で検出している。コンデンサ C_{c1} の両端電圧がツェナーダイオード Z_{D1} のブレイクオーバー電圧以上になるとトランジスタ Q_{f1} がオンになり、コンデンサ C_{c2} の両端電圧がツェナーダイオード Z_{D2} のブレイクオーバー電圧以上になるとトランジスタ Q_{f2} がオンになる。したがって、コンパレータ CP_1 およびトランジスタ Q_a 、 Q_b を用いた構成と同様に動作する。また、本実施例の構成は実施例 1 ないし実施例 9 のいずれの構成にも置換可能である。

【0053】（実施例 15）実施例 1、実施例 2 などにおいては、スイッチング素子 Q を駆動するためのトランジスタ Q_a 、 Q_b をコンデンサ C_{c1} 、 C_{c2} の直列回路の両端電圧を電源として駆動していたが、図 17 のようにスイッチング素子 Q の両端から電源を得るようにしてもよい。すなわち、限流用の抵抗 R_f およびダイオード D_f を通して得たスイッチング素子 Q の両端電圧を、ツェナーダイオード Z_{Df} により安定化し、コンデンサ C_g で平滑することにより、コンデンサ C_g の両端電圧をトランジスタ Q_a 、 Q_b の駆動用電源としているのである。他の構成および動作は実施例 1、実施例 2 と同様である。

【0054】（実施例 16）本実施例は、図 18 に示すように、実施例 1、実施例 2 などの回路構成において、1 個の駆動トランス T_c に 2 個の 2 次巻線 n_{23} 、 n_{24} を設け、各 2 次巻線 n_{23} 、 n_{24} ごとにドライブ回路 5_1 、 5_2 を設けて各別のスイッチング素子 Q_1 、 Q_2 を駆動するものである。ここにおいて、図 18 において実施例 1 の各構成と同機能を有するものには、実施例 1 と同符号を付した後に 1 または 2 の添字を付してある。この構成では、駆動トランス T_c の各 2 次巻線 n_{23} 、 n_{24} は後段の回路に対して逆極性に接続してある。このことによって、スイッチング素子 Q_1 とスイッチング素子 Q_2 とはオン・オフのタイミングが逆になるのである。本実施例の構成では、たとえばハーフブリッジ型のインバータ回路 2 の駆動用に用いることができる。また、本実施例の構成を 2 組用いればフルブリッジ型のインバータ回路 2 を駆動することも可能である。他の構成および動作については実施例 1、実施例 2 と同様である。

【0055】（実施例 17）本実施例は、図 19 に示すように、実施例 1、実施例 2 などの回路構成において、1 個の駆動トランス T_c に 4 個の 2 次巻線 $n_{23} \sim n_{26}$ を設け、各 2 次巻線 $n_{23} \sim n_{26}$ ごとにドライブ回路 $5_1 \sim 5_4$ を設けて各別のスイッチング素子 $Q_1 \sim Q_4$ を駆動するものである。つまり、2 次巻線 $n_{23} \sim n_{26}$ は後段の

回路に対して 2 個ずつが互いに逆極性になる。ここにおいて、図 19 において実施例 1 の各構成と同機能を有するものには、実施例 1 と同符号を付した後に 1 ないし 4 の添字を付してある。この回路を用いれば、たとえばフルブリッジ型のインバータ回路 2 を駆動することができる。

【0056】（実施例 18）本実施例は、図 20 に示すように、実施例 1 の構成において、抵抗 R_{c2} にコンデンサ C_h を並列接続したものである。実施例 1 で説明したように、コンパレータ CP_1 では非反転入力端への入力電圧（実施例 1 では抵抗 R_{c1} 、 R_{c2} の接続点の電位）と、コンデンサ C_{c1} 、 C_{c2} の接続点の電位とを比較しているのであって、コンデンサ C_{c1} 、 C_{c2} の接続点の電位はコンデンサ C_{c2} の負極側を基準にとったときのコンデンサ C_{c2} の両端電圧に等しい。この電圧は図 21 (f) に示すように、トランジスタ Q_{c2} がオンになると（図 21 (d) 参照）ただちにコンデンサ C_{c2} が充電されるからすぐに立ち上がるが、放電は抵抗 R_{c1} 、 R_{c2} などを通して行なわれるから、トランジスタ Q_{c2} のオフ後の電圧の立ち下がりはややかになる（図 21 (c) に示すトランジスタ Q_{c1} のオン・オフに対する図 21 (e) に示すコンデンサ C_{c1} の両端電圧も同様）。

【0057】一方、コンパレータ CP_1 の非反転入力端には上記コンデンサ C_h を接続していることによって、非反転入力端への印加電圧は図 21 (g) のように安定しているから、コンパレータ CP_1 の出力変化のタイミングを図 21 (h) のようにコンデンサ C_{c2} の電圧変化に応じて設定できることになる。つまり、実施例 17 のように 4 個のスイッチング素子 $Q_1 \sim Q_4$ を駆動する場合に、図 22 に示すようなタイミングで各スイッチング素子 $Q_1 \sim Q_4$ の動作タイミングをずらすことを要求されることがあるが、このようなタイミングのずれをコンデンサ C_{c2} の放電特性を適宜設定する（つまり、コンデンサ C_{c1} 、 C_{c2} の容量、抵抗 R_{c1} 、 R_{c2} の抵抗値などを変える）ことで容易に実現することができる。なお、図 21 において、(a) は信号源 4 c の出力、(b) は信号源 4 a の出力を示す。

【0058】（実施例 19）実施例 18 においては、コンデンサ C_{c1} 、 C_{c2} の容量をほぼ等しく設定しているが、実施例 1 の構成において両コンデンサ C_{c1} 、 C_{c2} の容量に差を持たせる（ $C_{c1} < C_{c2}$ ）ことによっても各スイッチング素子 $Q_1 \sim Q_4$ の動作タイミングに図 22 のような時間差を設けることができる。

【0059】すなわち、実施例 18 のようなコンデンサ C_h を用いない構成とすることで、図 23 (g) に示すように、コンパレータ CP_1 の非反転入力端への入力には変動が生じ、コンデンサ C_{c1} 、 C_{c2} の容量に差があるから、充放電の時間にも差が生じるのであって（図 21 (e) はコンデンサ C_{c1} の両端電圧、図 21

(f) はコンデンサ C_{c2} の両端電圧)、図 23 (h) のようにコンパレータ CP_1 の立ち上がりとしち下がりとは、制御信号 (図 23 (b) に示す) の立ち上がりとしち下がりに対して、タイミングのずれ t_{d1} 、 t_{d2} がずれることになる。なお、図 23 において、(a) は信号源 4c の出力、(c) はトランジスタ Q_{c1} の動作、(d) はトランジスタ Q_{c2} の動作である。また、コンデンサ C_{c1} 、 C_{c2} の容量以外の構成については、実施例 1 と同様である。

【0060】 (実施例 20) 本実施例は、実施例 1 の回路構成において、抵抗 R_{c1} 、 R_{c2} の抵抗値を異ならせたものである ($R_{c1} > R_{c2}$)。ここで、コンパレータ CP_1 の非反転入力端への印加電圧は、両コンデンサ C_{c1} 、 C_{c2} の両端電圧の加算値の半分であり、理論的には一定値になるのであるが、実際には図 24

(g) ' や図 24 (g) に示すように、コンデンサ C_{c1} 、 C_{c2} の両端電圧の立ち上がりとしち下がりとの速度に差があるから (図 24 (e) はコンデンサ C_{c1} の両端電圧、図 24 (f) はコンデンサ C_{c2} の両端電圧)、制御信号 (図 24 (b) に示す) が H レベルと L レベルとで切り換わる際には短時間だけ高くなる。すなわち、抵抗 R_{c1} 、 R_{c2} の抵抗値が等しいとすれば、制御信号が H レベルから L レベルに変化する際には、コンデンサ C_{c2} の両端電圧がただちに上昇してコンパレータ CP_1 の出力を L レベルにする。また、制御信号が L レベルから H レベルに変化する際には、コンデンサ C_{c2} の両端電圧の立ち下がりには緩やかではあるが、コンパレータ CP_1 の非反転入力端の電圧が一時的に上昇することによってコンパレータ CP_1 の出力は比較的短時間で H レベルに立ち上がる。

【0061】 これに対して、本実施例のように抵抗 R_{c1} 、 R_{c2} の抵抗値に差を設けることによって、コンパレータ CP_1 の非反転入力端への印加電圧が高くなるタイミングが図 24 (g) のように遅れて、図 24 (h) のようにコンパレータ CP_1 の出力が H レベルに立ち上がる時間に遅れが生じる。このようにして、抵抗 R_{c1} 、 R_{c2} の抵抗値に差を設けることによっても制御信号の立ち上がり、立ち下がりタイミングに対して、コンパレータ CP_1 の出力の立ち上がり、立ち下がりタイミングをずらすことが可能になる。

【0062】 (実施例 21) 図 16 に示した実施例 14 の構成を採用する場合には、ツェナーダイオード ZD_1 、 ZD_2 のブレークオーバー電圧に差を持たせることによって、制御信号の反転のタイミングに対してスイッチング素子 Q の反転のタイミングをずらすことが可能である。

【0063】 (実施例 22) 本実施例は、図 25 に示すように、実施例 1 の構成において、コンデンサ C_{c1} 、 C_{c2} の接続点とコンパレータ CP_1 の反転入力端との間に、抵抗 R_k とダイオード D_k とコンデンサ C_k とか

らなる遅延回路を挿入したものである。抵抗 R_k とダイオード D_k とは並列に接続され、ダイオード D_k のカソードがコンデンサ C_{c1} 、 C_{c2} の接続点に接続される。また、ダイオード D_k とコンデンサ C_k との直列回路がコンデンサ C_{c2} に並列接続される。

【0064】 上述のような遅延回路を設けたことによって、コンデンサ C_{c2} の両端電圧の立ち上がり時にはコンパレータ CP_1 の反転入力への入力が遅延されることになり、また、コンデンサ C_{c2} の両端電圧の立ち下がり時にはダイオード D_k の存在によって遅延なく立ち下がることになる。したがって、遅延回路の時定数を適宜設定することで、制御信号に対してスイッチング素子 Q のオン・オフのタイミングをずらすことができる。他の構成および動作は実施例 1 と同様である。

【0065】 (実施例 23) 本実施例は図 26 に示すように、図 20 に示した実施例 18 において、コンパレータ CP_1 の入出力端間に抵抗 R_j を挿入したものであって、コンパレータ CP_1 の動作にヒステリシスを付与しているのである。この構成により、入力が多少変動してもコンパレータ CP_1 の出力が安定する。他の構成および動作は実施例 18 と同様である。

【0066】 上述した各実施例において、インバータ回路のスイッチング素子 $Q_1 \sim Q_4$ における基準端子 (たとえば、トランジスタではエミッタ、FET ではソース) をコンデンサ C_{c1} 、 C_{c2} に対して電位が最低となる点に接続しているが、たとえば、実施例 1、実施例 2 などにおいてコンデンサ C_{c1} 、 C_{c2} の接続点に基準端子を接続すれば、スイッチング素子 $Q_1 \sim Q_4$ のオフ時に、スイッチング素子 $Q_1 \sim Q_4$ の制御端子 (ベースないしゲート) の電位を負に設定することも可能である。

【0067】

【発明の効果】 請求項 1 ないし請求項 4 の発明は、高周波の 2 種類の信号を駆動トランスを通すことによって信号側とスイッチング素子との絶縁を行ない、かつトランスでは高周波を伝達することによって小型のものを用いることができるという利点がある。また、2 種類の信号により一対のコンデンサの両端電圧の大小関係を入れ換えるように充電し、この大小関係に基づく 2 値信号を発生させるから、スイッチング素子をオン・オフさせることができる。しかも、従来構成のように、トランスの 2 次巻線に抵抗を介してスイッチング素子を接続するのではなく、2 値信号を発生させてスイッチング素子を駆動することにより、スイッチング素子を制御する信号の立ち上がりや立ち下がり急峻にすることができ、スイッチング損失やスイッチング素子へのストレスを低減することができる。しかも、スイッチング素子に対する出力インピーダンスは回路構成として適宜設定できるから、スイッチング素子により制御される主回路側からの回り込みを低減して誤動作の生じにくくすることができる。

いう利点がある。

【0068】請求項5ないし請求項7の発明は、両コンデンサの両端電圧の大小関係を比較するにあたって、比較対象となる電圧の時間変化に差を付けることができ、結果的にスイッチング素子をオン・オフさせるタイミングを適宜に設定することが可能になる。すなわち、複数のスイッチング素子を用いて互いにオン・オフのタイミングをずらすことが要求される場合に、駆動トランスの1次側の信号を共通にしながらも、駆動トランスの2次側の調節のみで要求を満たすことができるという利点を有する。

【0069】請求項8の発明は、両コンデンサの両端電圧の差を閾値と比較して2値信号を発生させるから、請求項1ないし請求項4と同様の効果を奏するとともに、コンデンサの両端電圧の差と閾値との関係を適宜設定することで、駆動トランスの2次側での調節のみでスイッチング素子のオン・オフのタイミングを調節できるといいう利点がある。

【図面の簡単な説明】

【図1】実施例1の回路図である。
 【図2】実施例1の動作説明図である。
 【図3】実施例2の回路図である。
 【図4】実施例2の動作説明図である。
 【図5】実施例3の要部回路図である。
 【図6】実施例4の回路図である。
 【図7】実施例5の要部回路図である。
 【図8】実施例6の要部回路図である。
 【図9】実施例7の要部回路図である。
 【図10】実施例8の要部回路図である。
 【図11】実施例9の要部回路図である。
 【図12】実施例10の要部回路図である。
 【図13】実施例11の要部回路図である。
 【図14】実施例12の要部回路図である。
 【図15】実施例13の要部回路図である。
 【図16】実施例14の要部回路図である。

【図17】実施例15の要部回路図である。

【図18】実施例16の回路図である。

【図19】実施例17の回路図である。

【図20】実施例18の回路図である。

【図21】実施例18の動作説明図である。

【図22】実施例18の動作説明図である。

【図23】実施例19の動作説明図である。

【図24】実施例20の動作説明図である。

【図25】実施例22の回路図である。

【図26】実施例23の要部回路図である。

【図27】従来例の回路図である。

【図28】従来例の要部回路図である。

【図29】他の従来例の回路図である。

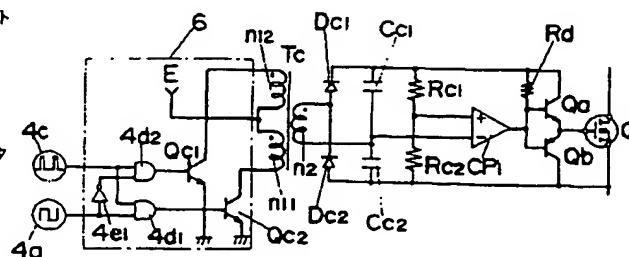
【図30】さらに他の従来例の回路図である。

【符号の説明】

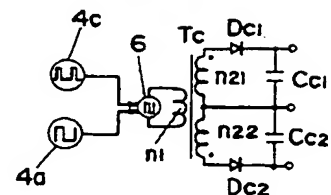
2 インバータ回路
 4 制御回路
 4a 信号源
 4c 信号源
 4d1 アンドゲート
 4d2 アンドゲート
 4e2 反転回路
 Cc1 コンデンサ
 Cc2 コンデンサ
 CP1 コンパレータ
 Dc1 ダイオード
 Dc2 ダイオード
 Q スwitchング素子
 Qa トランジスタ
 Qb トランジスタ
 Qc1 トランジスタ
 Qc2 トランジスタ
 Rc1 抵抗
 Rc2 抵抗
 Tc 駆動トランス

【図1】

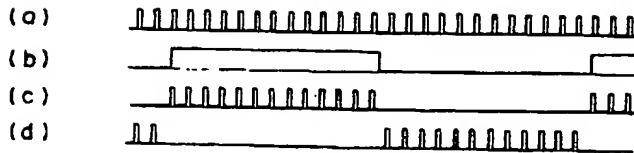
4a, 4c 信号源
 4d1, 4d2 アンドゲート
 4e2 反転回路
 Cc1, Cc2 コンデンサ
 CP1 コンパレータ
 Dc1, Dc2 ダイオード
 Q スwitchング素子
 Qa, Qb トランジスタ
 Qc1, Qc2 トランジスタ
 Rc1, Rc2 抵抗
 Tc 駆動トランス



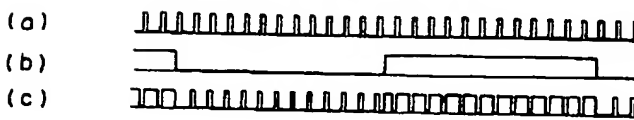
【図5】



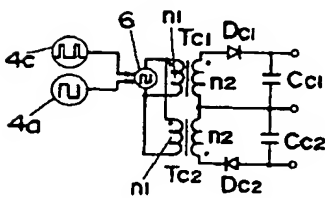
【図 2】



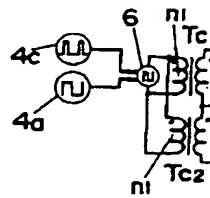
【図 4】



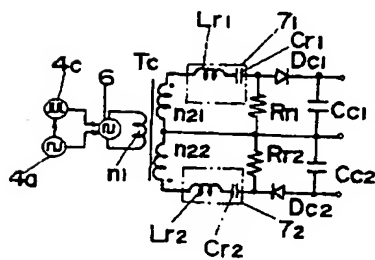
【図 7】



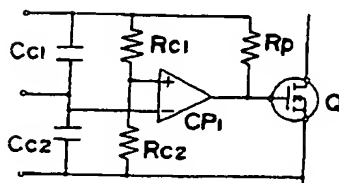
【図 8】



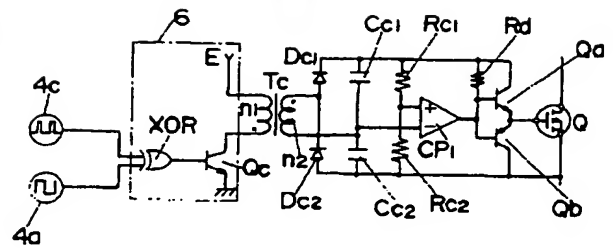
【図 10】



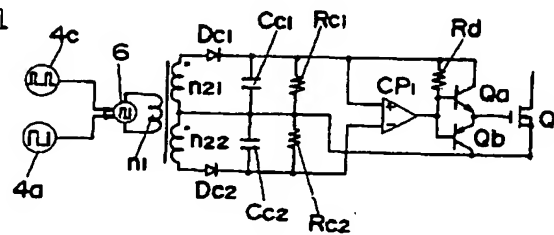
【図 13】



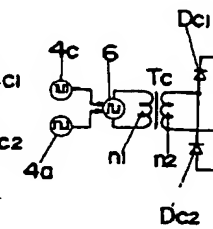
【図 3】



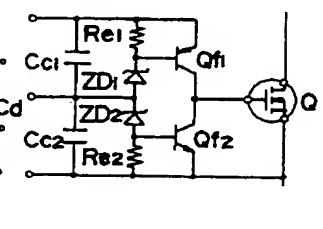
【図 6】



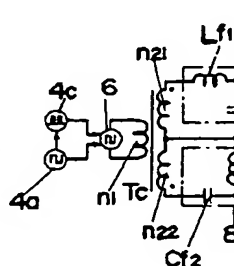
【図 9】



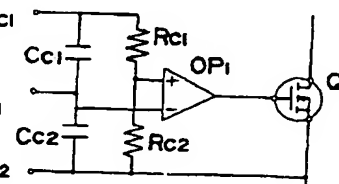
【図 16】



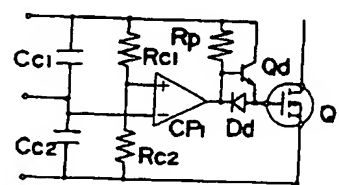
【図 11】



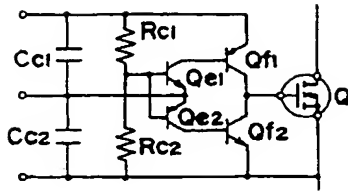
【図 12】



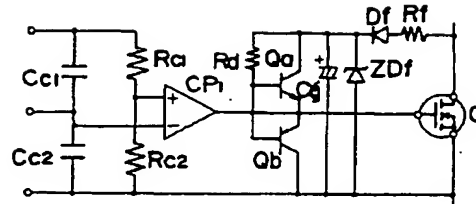
【図 14】



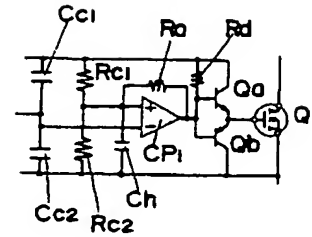
【図15】



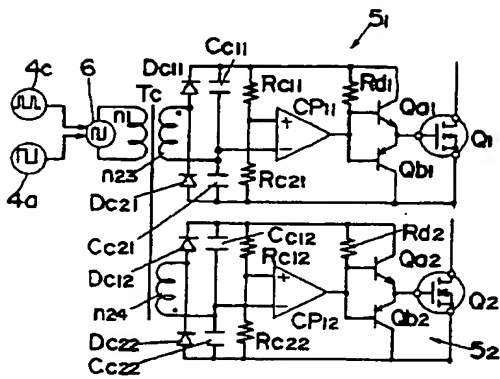
【図17】



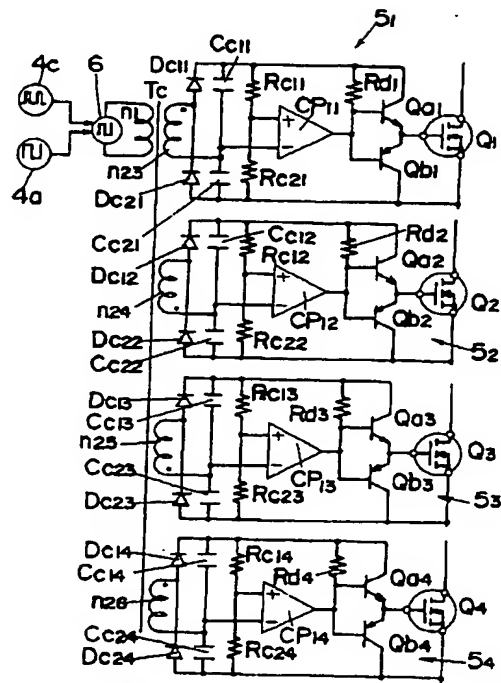
【図26】



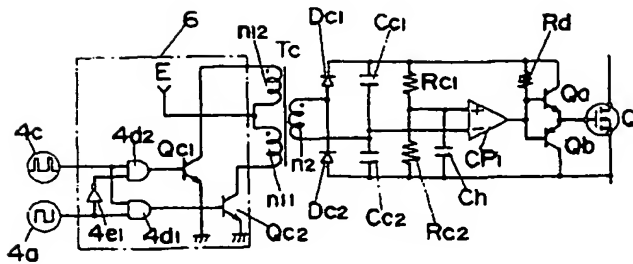
【図18】



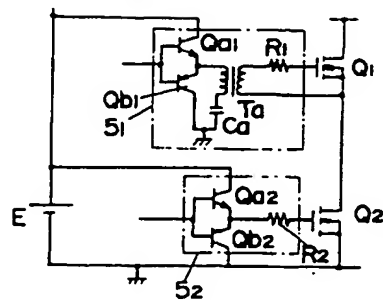
【図19】



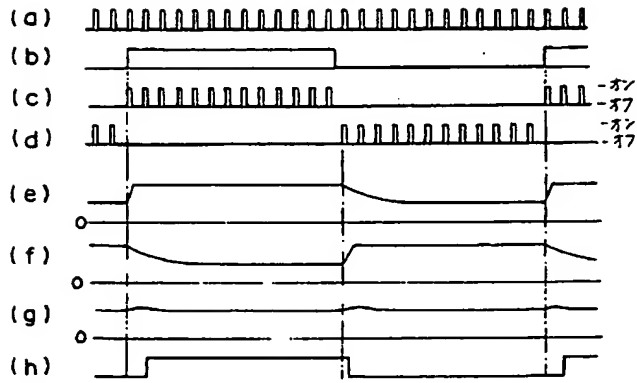
【図20】



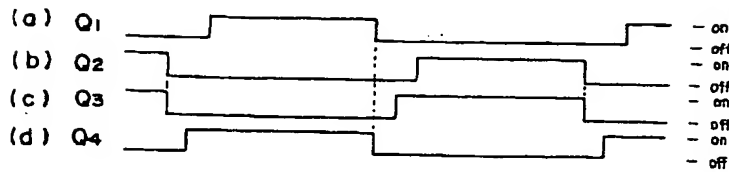
【図28】



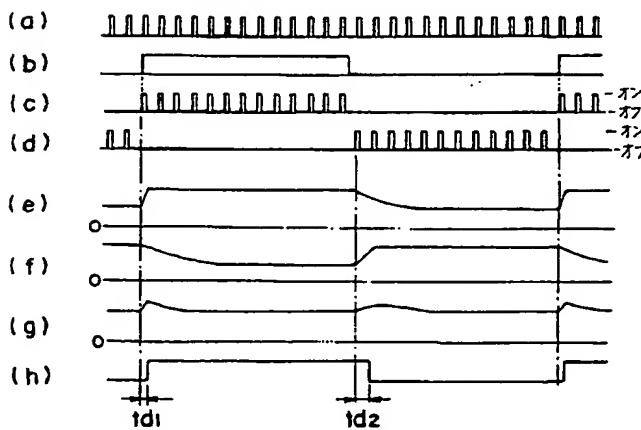
【図 2 1】



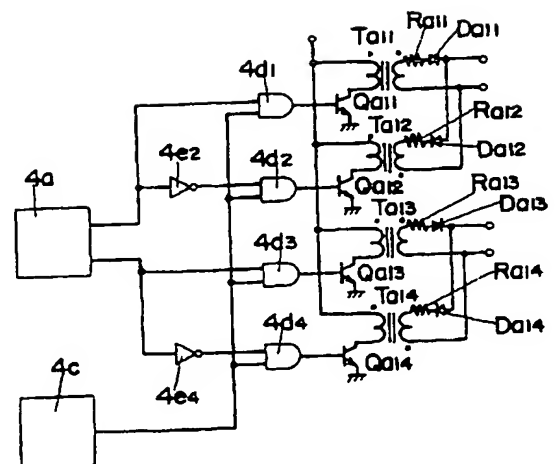
【図 2 2】



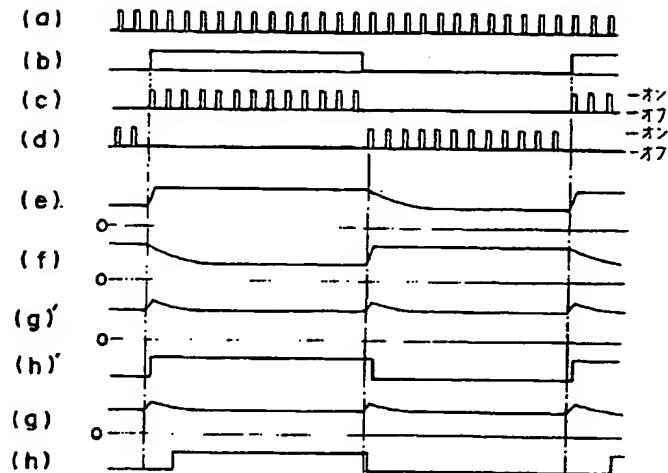
【図 2 3】



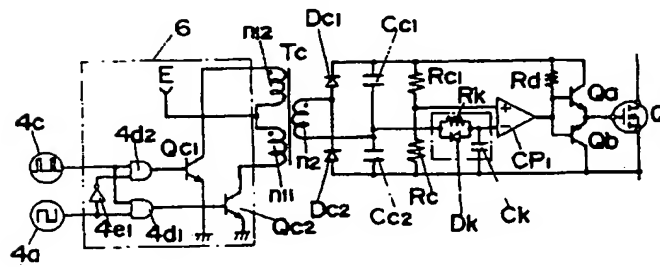
【図 3 0】



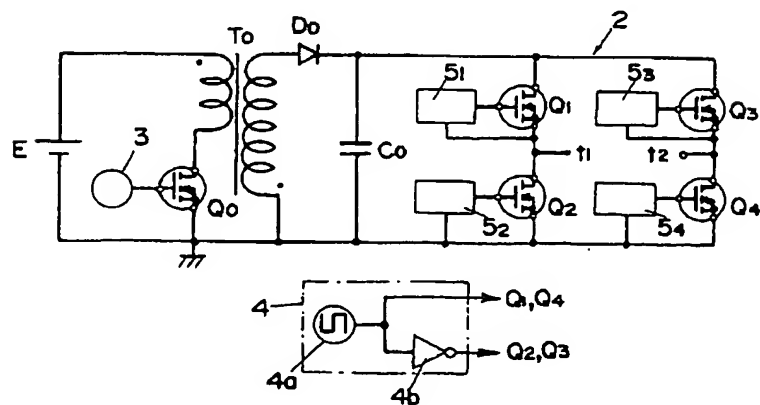
【図 24】



【図 25】



【図 27】



【図 2 9】

